14-2-2024

ANDRADE SALAZAR, IGNACIO

Centro Universitario de los Valles, Universidad de Guadalajara

Programación de sistemas reconfigurables

Tarea 4. Estructuras de programación

Ingeniería en electrónica y computación

**ESTRUCTURAS DE PROGRAMACIÓN**

**1.- ¿Cuáles son los tipos de estructuras de programación más comunes?**

Las estructuras de programación más comunes empleadas en el diseño con VHDL son:

* Concurrente
* Secuencial
* Combinación entre ambas

**2.- ¿Qué es una signals?**

En esencia, una señal (signal) determina una conexión física visible o invisible que representa uno o varios cables de conexión en la aplicación final.

**3.- Presente la figura 2.2**

--Declaración de una señal

library ieee;

use ieee.std\_logic\_1164.all;

entity coneta is

port (a, b, c, d: in std\_logic;

F: out std\_logic);

end conecta;

architecture ejemplo of conecta is

signal x: std\_logic;

begin

x <= (a and b);

F <= (x or ( xor d) );

end ejemplo;

**4.-¿Cuáles son las estructuras elementales de la declaración concurrente? y ponga un ejemplo de cada una de ellas**

Las estruturas elementales son las siguientes:

* **Asignación directa: <=**

architecture booleana of logic is

begin

x1 <= a xnor b;

x2 <= ( ( (c and d) or ( a xnor b) ) nand

( (e xor f) and (c and d) ) );

x3 <= (e xnor f) and (c and d);

end booleana;

* **Asignación condicional: when-else**

architecture ejemplo of tabla is

begin

f <= ‘1’ when (a=’0’ and b=’0’ and c=’0’) else

‘1’ when (a=’0’ and b=’1’ and c=’1’) else

‘1’ when (a=’1’ and b=’1’ and c=’0’) else

‘1’ when (a=’1’ and b=’1’ and c=’1’) else

‘0’;

end ejemplo;

* **Asignación selectiva: witch-select-when**

architecture arq\_cir of circuito is

begin

with sel select

C >= ‘1’ when “00”

‘0’ when “01”,

‘1’ when “10”,

‘0’ when others;

end arq\_cir;

* **Process**

concurrente: process ( e0, e1, x) is

begin

if x=’1’ then F<=’e0’ else --if-then-else: declaración secuencial

e1;

end process concurrente;